

50/P1510 US00

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

#2



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月17日

出 願 番 号

Application Number:

特願2000-316803

出 願 人

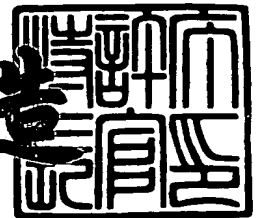
Applicant(s):

ソニー株式会社

2001年 8月24日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3076794

【書類名】 特許願

【整理番号】 0000895803

【提出日】 平成12年10月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

    【氏名】 大沼 英寿

【特許出願人】

    【識別番号】 000002185

    【氏名又は名称】 ソニー株式会社

    【代表者】 出井 伸之

【代理人】

    【識別番号】 100080883

    【弁理士】

    【氏名又は名称】 松隈 秀盛

    【電話番号】 03-3343-5821

【手数料の表示】

    【予納台帳番号】 012645

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9707386

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 フォトマスクの作成法、フォトマスク、並びに露光方法

【特許請求の範囲】

【請求項 1】 フォトリソグラフィ工程及びエッチング工程を経て得られたパターンのスペース依存性に基いてマスク補正単位を決定し、

該マスク補正単位を用いてフォトマスク作成用の設計データに対する補正を行う

ことを特徴とするフォトマスクの作成法。

【請求項 2】 前記設計データに対する補正と共に、

前記パターンのスペース依存性に基く前記パターンの X Y 差に応じて、マスク描画装置の設定パラメータを補正する

ことを特徴とする請求項 1 に記載のフォトマスクの作成法。

【請求項 3】 フォトリソグラフィ工程及びエッチング工程を経て得られたパターンのスペース依存性に基いて決定したマスク補正単位を用いて補正された設計データにより作成されて成る

ことを特徴とするフォトマスク。

【請求項 4】 前記マスク補正単位で設計データが補正されると共に、

前記パターンのスペース依存性に基く前記パターンの X Y 差に応じて、設定パラメータが補正されたマスク描画装置により作成されて成る

ことを特徴とする請求項 3 に記載のフォトマスク。

【請求項 5】 ウェーハに対して請求項 3 記載のフォトマスクを用いて露光処理する

ことを特徴とする露光方法。

【請求項 6】 請求項 3 記載のフォトマスクを用いると共に、

フォトリソグラフィ工程及びエッチング工程を経て得られたパターンのスペース依存性に基く前記パターンの X Y 差に応じて、露光装置の設定パラメータを補正して、

ウェーハに対して露光処理を行う

ことを特徴とする露光方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば半導体デバイスの製造工程に用いられるフォトマスクの作成法及びフォトマスク、並びにこのフォトマスクを用いた露光方法に関する。

【0002】

【従来の技術】

半導体デバイスの製造工程に用いられるフォトマスクは、ガラス基板上に所要パターンの遮光膜（例えばCr膜等）を形成して構成される。半導体デバイスの製造は、フォトリソグラフィ技術を用い、フォトレジスト膜が形成された半導体ウェーハ上にフォトマスクのパターンを投影露光し、現像処理して、半導体ウェーハ上にレジストパターンを形成した後、このレジストパターンをマスクにして下地膜をエッチング処理する等の工程を有して行われる。

フォトマスクは、例えば描画装置を用いて作成されるもので、設計された描画データ、いわゆるCADデータを描画装置用のデータに変換し、このデータに基づいてガラス基板上の遮光膜を忠実にパターンニングして作成される。このフォトマスクを用いて半導体ウェーハ上に露光するのがフォトリソグラフィ工程である。

【0003】

【発明が解決しようとする課題】

ところで、半導体デバイス製造プロセスにおけるフォトリソグラフィ工程では、線幅が露光波長近傍のパターンを形成する必要から光の干渉効果が顕著となり、設計パターンと転写レジストパターンの間に差異が生ずる光近接効果が問題となっている。光近接効果は、孤立ラインと繰り返しラインの線幅差やライン端縮み等の現象となってあらわれ、ゲート線幅制御性劣化や合わせマージン減少をもたらす。同様にエッチング工程においても、パターン間スペースの距離に応じたテーパ角の違いからエッチングボトムの線幅が異なり、ゲート線幅制御性が劣化する現象が発生する。

【0004】

その結果トランジスタ特性のパラッキが増大し、最終的に半導体チップの歩留

り低下やスピード収率低下となって生産効率及びチップ性能に対する設計マージンに対して著しい悪影響を与える。この問題は高集積性が要求される  $0.18\mu\text{m}$  世代ロジック回路チップにおいて顕著になってきたことから、各々のスペースに依存した補正値を予め決定し、その補正をチップ全面に行うことでゲート線幅制御性を向上させることが検討されてきた。これを光近接効果補正 (Optical proximity effect correction ; OPC)、もしくはプロセス近接効果補正 (Process proximity effect correction ; PPC) と呼ぶ。

#### 【0005】

図13は、光近接効果補正 (OPC) 前と光近接効果補正 (OPC) 後の夫々の、フォトマスク31〔311、312〕とこれを用いて露光、現像して得たレジストパターンイメージ35〔351、352〕を示す。フォトマスク31〔311、312〕では、マスクパターンとしてラインLが孤立している部分、いわゆる孤立ライン32と、ラインLとスペースSが繰り返されてラインLが密の部分、いわゆる密ライン33が形成されている。

図13Aの孤立ライン32及び密ライン33共に同じ線幅 $W_0$ で形成されている補正前のフォトマスク311を用いて露光、現像したときには、レジストパターン351のレジスト線幅が孤立ライン36の部分で太る。これに対して、図13Bの孤立ライン32を密ライン33より線幅を細くした補正後のフォトマスク312を用いて露光、現像したときには、レジストパターン352のレジスト線幅が孤立ライン32及び密ライン33共に同じ線幅になる。

#### 【0006】

ここで、マスクの補正を行うには最初に補正グリッドを明確にする必要がある。補正グリッドとは、補正値を決める刻み単位 (いわゆるマスク補正単位) を示す。近年の高精度なマスク描画装置においては、ウェーハ換算 (いわゆるウェーハ上に投影露光したときの寸法) で  $0.5\text{nm}$  の描画グリッド (描画装置での刻み単位) が可能になり、補正グリッドも小さくし、補正精度を向上させることが可能になってきた。

#### 【0007】

しかし、補正グリッドを限りなく0に近づけるということは、補正テーブルを作成する工数と光近接効果補正（OPC）処理時間が膨大に増加していくこともあり、補正精度を体系的にとらえながら補正グリッドを決定していく必要がある。一般的には、光近接効果補正（OPC）はデータ処理の議論に終始しがちであり、光近接効果補正（OPC）でどこまでプロセスを改善できるのか、ゲート線幅制御をどこまで抑えることができるのかに関する議論が少ない。

【0008】

補正グリッドを限りなく0に近づけることで補正精度が向上する訳ではなく、その補正グリッドを決定する物差しが存在しない。また、補正グリッドを限りなく0に近づけることで補正精度がいくらでも向上すると勘違いをし、無駄な工数とマスク代を費やす危険性もあり、結果的にウェーハ上のゲート線幅制御性が向上しないため歩留り低下の状態が長く継続してしまうことにもなる。また、プロセスの実力に見合った設計を行うことができず、顧客を満足させる半導体チップを提供できない。

【0009】

本発明は上述の点に鑑み、光近接効果補正技術における、補正精度の定義、及び補正グリッド要求値の設定手法に関して提案し、ウェーハ上の線幅制御性が向上する高精度のフォトマスク作成法、フォトマスク、並びにこのフォトマスクを用いた露光方法を提供するものである。

【0010】

【課題を解決するための手段】

本発明に係るフォトマスクの作成法は、フォトリソグラフィ工程及びエッチング工程を経て得られたパターンのスペース依存性に基いて補正グリッド、いわゆるマスク補正単位を決定し、このマスク補正単位を用いてフォトマスク作成用の設計データに対する補正を行うようにする。

【0011】

本発明のフォトマスクの作成法では、フォトリソグラフィ工程及びエッチング工程を経て得られたパターンのスペース依存性に基いてマスク補正単位を決定するので、光近接効果補正、プロセス近接効果補正における適切なマスク補正単位

の設定が可能になる。このマスク補正単位をフィードバックして設計データを補正してフォトマスクが作成されるので、フォトマスク試作に要する無駄な工数が削減される。ウェーハ上の線幅制御性がより向上するフォトマスクの作成が可能になる。

【0012】

本発明に係るフォトマスクは、フォトリソグラフィ工程及びエッチング工程を経て得られたパターンのスペース依存性に基いて決定したマスク補正単位を用いて補正された設計データにより作成して成る。

【0013】

本発明のフォトマスクでは、パターンのスペース依存性に基いて決定したマスク補正単位を用いて補正された設計データにより作成されるので、求められる線幅制御を達成できる高精度のフォトマスクを構成することができる。

【0014】

本発明に係る露光方法は、ウェーハに対して上述のフォトマスクを用いて露光処理する。

【0015】

本発明の露光方法では、上記のようにして作成されたフォトマスクを用いるので、ウェーハ上の露光パターンの線幅制御性が向上する。

【0016】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

【0017】

図1は、本発明の実施の形態に係るフォトマスク作成及びそのフォトマスクを用いてウェーハ上に所要のパターンを形成する一連のフローチャートを示す。

フォトマスクの作成は、本例では描画装置を用いて行うこととする。図1において、1は設計されたCADデータ、いわゆる設計データ、2は設計データ1に対する光近接効果補正(OPC)処理、3は補正グリッド(補正値を決める刻み単位、いわゆるマスク補正単位)、4は補正グリッドで記述された補正テーブル、5は光近接効果補正(OPC)処置されたデータに基いて描画装置で作成され

たフォトマスク、6はフォトマスク5を用いた露光装置で露光、現像し、更にエッチング処理して表面上に所要のパターンを形成したウェーハ、本例では所要のゲート線幅のゲート電極が形成された半導体ウェーハを示す。なお、フォトマスク5では、便宜的に描画装置を指す場合を含む。また、ウェーハ6では、便宜的に露光装置を指す場合を含む。

#### 【0018】

先ず、本実施の形態に係るフォトマスクの作成について説明する。

最初に補正グリッド3を所定の補正值に設定し、この初期補正值の補正グリッド3で補正テーブル4を作成する。例えば、図2に示す補正テーブル4<sub>1</sub>（ここでは、補正グリッドを5nmとした場合の模式的な補正テーブルの要部を示す。なお、スペース、ゲート線幅は標記の数値以下を表す。）を作成する。この補正テーブル4<sub>1</sub>をもとに設計データ1に対して光近接効果補正（OPC）処理2を行い、OPC処理されたデータに基づいて描画装置を駆動してフォトマスク5を作成する。

なお、フォトマスク5は、通常のように透明基板である例えばガラス基板上に遮光膜である例えばCr膜を所要の厚さに被着形成してなる基材を用意し、Cr膜上にフォトレジスト膜を形成し、描画装置での電子線を走査してフォトレジスト膜に所望のマスクパターンを描画（即ち露光し、現像処理）した後、パターンニングされたレジストマスクを介してCr膜を選択エッチングして、作成される。

#### 【0019】

次に、上記作成されたフォトマスク5を用いた露光装置により、ウェーハ6上のフォトレジスト膜を露光し、現像処理してレジストマスクを形成し（フォトリソグラフィ工程）、このレジストマスクを介して下地膜、例えばゲート電極材料膜を選択エッチングして複数配列されたゲート電極を形成する（エッチング工程）。

#### 【0020】

次に、ウェーハ6のチップ内にて、様々なスペースをもった実ゲートパターンの測長を行い、スペース毎のゲート線幅バラツキの分布（測長結果）7を得る。即ち、ゲート線幅バラツキをサンプリングし、スペース毎に寸法乖離量を測定す



る（例えば後述の図7参照）。

様々なスペース毎に補正值が決まっているので、スペース毎に平均をとり、平均が±補正グリッドの2倍以内に入っていれば（補正後線幅は補正グリッドの2倍で変化するので）、補正結果は良好と判断し、マスク作成の条件とする。

平均が±補正グリッドの2倍以内に入っていなければ、補正值が違っていると判断し、図1の経路11に示すように、測長結果7に基づき補正テーブル4の補正值を修正する。即ち、例えば図2の補正テーブル4<sub>1</sub>から図3の補正テーブル4<sub>2</sub>に修正する（四角で囲まれた補正值を修正する）。この補正結果は、上記平均が±補正グリッドの2倍以内に抑えられており、初期の補正グリッドで補正された結果として良好である（後述の図8参照）。これ以上に補正值修正を行うと全体のバラツキは逆に劣化する。そして、この補正結果は、良好と判断したときにはマスク作成の条件とされる。この補正值修正された補正テーブル4<sub>2</sub>をもとに設計データ1に対して光近接効果補正（OPC）処理2を行いフォトマスク5を作成する。

#### 【0021】

次に、さらに全体のゲート線幅バラツキを抑えるときには、補正グリッド3そのものを変更する必要がある。即ち、図1の経路12に示すように、測長結果7に基づき補正グリッド3を初期補正グリッドより小さい値の補正グリッドに変更し（つまり、ゲート線幅のスペース依存性に基いて補正グリッドを決定し）、この変更補正グリッド3で補正テーブル4を変更する。即ち、例えば図3の補正テーブル4<sub>2</sub>から図4の補正テーブル4<sub>3</sub>に変更する。この変更補正テーブル4<sub>3</sub>をもとに設計データに対して光近接効果補正（OPC）処理を行いフォトマスク5を作成する。このフォトマスク5を用いることにより、より全体のゲート線幅バラツキを抑えることができる（後述の図9参照）。

なお、補正グリッドそのものを変更は、描画装置の描画グリッドの値を超えない範囲内で行うようにする。

#### 【0022】

一方、図5に示すように、チップ6A内のゲート電極として、X方向に長いゲート電極8<sub>x</sub>とY方向に長いゲート電極8<sub>y</sub>とが混在する場合がある。このとき

、フォトマスクにおいて両ゲート線幅を同じ幅に設計しても、X方向のゲート電極 8 x のゲート線幅  $W_x$  と Y 方向のゲート電極 8 y のゲート線幅  $W_y$  とで差が生じる。

上述の補正テーブル 4 は、X、Y 方向のゲート電極 8 x、8 y に対して同じ条件で作成されている。従って、補正グリッドをより微細化しても、ゲート線幅  $W_x$  と  $W_y$  の差、いわゆる XY 差が大きければゲート線幅制御性は向上しない。

#### 【0023】

そこで、図 1 において、前述したようにフォトリソグラフィ工程及びエッチング工程後のウェーハ 6 に対してそのチップ内の様々なスペースをもった実ゲートパターンの線幅の測長を行う（測長結果 7 を得る）。様々なスペース毎に補正值が決まっているので、スペース毎に平均をとり、平均が±補正グリッドの 2 倍以内に入っていれば、補正結果は良好と判断される。同条件において、X 方向ゲート線幅  $W_x$  と Y 方向ゲート線幅  $W_y$  の平均をとり、その XY 差を調べる。X と Y の差が±補正グリッドの 2 倍より小さければ、そのフォトマスク 5 の XY 差は優位ではないと判断する（後述の図 10 参照）。

しかし、XY 差が±補正グリッドの 2 倍より大きければ、フォトマスクの XY 差、若しくは露光装置の XY 差が大きすぎると判断する（後述の図 11 参照）。このときには、図 1 の例えば経路 13 に示すように、測長結果 7（この場合 XY 差の測長）の基きマスク作成の描画装置（フォトマスクの位置に対応する）5 の設定パラメータ（例えば、品質保証パターン、アパーチャーの XY シフト量等）を修正する。または、図 1 の例えば経路 13 に示すように、測長結果 7 の基きウェーハに対する露光装置（ウェーハの位置に対応する）6 の設定パラメータ（例えば、コマ収差、球面収差、同期精度等）を修正する。

この補正によりさらに補正精度が向上し、高精度のゲートパターンの形成が可能になる。

#### 【0024】

一方、図 1 の経路 11、12 で補正テーブル 4 を修正、変更して同一マスクデータで複数のフォトマスク 5 を作成し、各フォトマスク 5 のスペース依存性を調べた結果、実ゲート線幅バラツキの原因がマスク CD (critical di

m e n s i o n) (つまりマスク線幅そのもの)、フォトマスクの透過部及び遮光部を透過する光の位相差、フォトマスクの遮光部の透過率 (いずれも位相シフト型フォトマスクの場合) にあったときには、フォトマスクの作成プロセスで補正することができる。

例えばマスクCDの場合は、フォトマスク作成工程の遮光膜となるCr膜のエッチング条件等を変更する。位相シフト型フォトマスクでの位相差、遮光膜の透過率の場合は、Cr膜厚を変更する。

#### 【0025】

本実施の形態では、このようにして様々なスペースをもったゲートパターンを有し、ゲート線幅バラツキの低減したウェーハ5を得た後、さらに所要の工程を経て半導体デバイスを製造する。

#### 【0026】

更に、具体例を用いて詳細説明する。

フォトマスク作成に際し、通常、光近接効果補正 (OPC) 処理2を行う前には補正テーブル4を作成するが、補正テーブル4は補正グリッド単位で記述されている。そのため、新規プロセスを開発する場合には、最初に補正グリッド3を決定して置く必要がある。本例では、その最初に補正グリッド3を所要の値、例えば5nmと設定する。5nm補正グリッド3における、スペース毎補正值 (補正テーブル4) とその補正後のフォトマスク5を用いてウェーハ6に対して転写 (露光、現像) 及びエッチングした後の線幅をターゲット線幅 (設計線幅) から引いた値を図6に示す。図6において、曲線Iはスペース毎補正值 (補正テーブル)、曲線IIはその転写/加工後の線幅とターゲット線幅との差 ( $\Delta CD$ ) である。この線幅の結果は、スペースを振ったL/S (ライン/スペース) 5本バーによるものであり、両側スペースが同等であるため、片側5nm、両側で10nm単位でマスクデータが推移しているのが判る。

図1における補正テーブル4はこのようにして作成される。

#### 【0027】

次に、この補正テーブル4を基に設計データ1に対して光近接効果補正 (OPC) 処理2を行い、描画装置を用いて補正後フォトマスク5を作成する。

この補正後フォトマスク 5 を備えた露光装置を用いてウェーハ 6 に対する転写（露光、現像）及びエッチング処理を行ってウェーハ上に複数のゲート電極を形成する。このときの、ゲート線幅のバラツキをサンプリングし、スペース毎に寸法乖離量を測定した結果の一例を図 7 に示す。図 7 を見るとスペース  $1.7\ \mu\text{m}$  に相当するゲート線幅が全体と比較して細めに仕上がっていることが判る。太線は測長結果のスペース毎平均値である。

## 【0028】

この図 7 のデータからは、スペース  $1.7\ \mu\text{m}$  の補正值を片側  $5\ \text{nm}$ 、両側で  $10\ \text{nm}$  追加することで全てのスペースを含んだトータルとしてのゲート線幅バラツキは向上すると予測される。つまり、補正值の修正により、補正精度を向上できる可能性がある。但し、マスク／ショット／ウェーハ間のバラツキが反映されないように、十分なデータを基に補正值修正を判断すべきである。

つまり、図 7 は  $5\ \text{nm}$  補正グリッドで補正值修正が可能な例である。

## 【0029】

この補正テーブル 4 の補正值修正によりゲート線幅の補正精度を向上させた例が図 8 である。即ち、図 7 のデータを補正テーブル 4 にフィードバックして補正值を  $5\ \text{nm}$  補正グリッドで修正し、この補正值修正された補正テーブル 4 を基に設計データ 1 に対する光近接効果補正（OPC）処理 2 を行い、補正後フォトマスク 5 を作成する。このフォトマスクを用いて転写／エッチングして図 8 の結果を得る。

## 【0030】

次に、図 8 に示す結果が得られたが、更にトータルのゲート線幅バラツキを抑える必要があり、補正精度をより向上させる必要があったとする。その場合、例えば  $2.5\ \mu\text{m}$  スペースが他より細いため、 $2.5\ \mu\text{m}$  スペースに相当する補正值を片側  $5\ \text{nm}$ 、両側で  $10\ \text{nm}$  太らせたとなると、逆に  $2.5\ \mu\text{m}$  スペースの箇所のゲート線幅が太り過ぎてしまい、全体としての線幅バラツキは逆に大きくなってしまう。つまり、図 8 は  $5\ \text{nm}$  補正グリッドで補正值を修正すべきではない。換言すれば、図 8 は  $5\ \text{nm}$  補正グリッドで補正值が正しい例である。

## 【0031】

そして、これ以上のゲート線幅バラツキの改善を望ならば、補正グリッドを小さくする検討を行うことができる。図9は、補正グリッドを2.5nmとし、補正値を最適化して図8よりもゲート線幅バラツキを低減させた例である。

即ち、図8のデータを補正グリッド3にフィードバックして補正グリッドを2.5nmに変更し、この変更補正グリッドで補正テーブル4を変更し、この変更された補正テーブル4を基に設計データ1に対する光近接効果補正(OPC)処理2を行い、補正後フォトマスク5を作成する。このフォトマスクを用いて転写/エッチングして図9の結果を得る。図9は、2.5nm補正グリッドで補正値が正しい例である。

#### 【0032】

理論的な補正精度は、補正グリッドの2倍で決定される。逆に、補正精度は全スペースに対しスペース毎平均値が±補正グリッドの2倍以内に入っていれば補正値は問題なしと判断できる。但し、トランジスタ制御に関して重要と判断されるスペース、またはトランジスタが多数存在するスペースに関して特にサンプリングし、スペース刻みの変更などで補正結果を厳しく追いついでいくことも行える。実際、図8も図9も補正グリッドの1倍程度の補正精度を達成している。このように、チップ内のゲート線幅におけるスペース依存性を調べることで、補正値修正が必要かどうか、補正グリッド微細化の効果も調べることができる。

#### 【0033】

次に、光近接効果補正(OPC)の補正精度とフォトマスク仕様との関係について説明する。

前述と同様にチップ内にて、実ゲートパターンの測長を行う。様々なスペース毎に補正値が決まっているので、スペース毎に平均をとり、平均が±補正グリッドの2倍以内に入っていれば、補正効果は良好と判断される。図10はその例を示す。

#### 【0034】

次に、補正効果が良好と判断されたにも係わらず、同一マスクデータにて次にフォトマスクを作成したところ、図11に示すような結果になったとする。これは、図10よりトータルとしてゲート線幅バラツキが悪化している。図10、図

11のデータを詳細に見ると、図11はレイアウト上でY方向のゲート線幅（図5の線幅W<sub>y</sub>参照）のみが細く仕上がっているのが判る。図11の結果が出来上がリゲート線幅バラツキの設計許容値を超えているのであれば、フォトマスクの出荷判断を厳しくするしかない。

つまり、図10は補正精度確認結果にてXY差が小さい例である。図11は補正精度確認結果にてXY差が大きい例である。

#### 【0035】

上述において、補正グリッドとXY差に関する仕様を説明した。XY差と補正グリッドとの関係を図12に示す。図12Aで孤立ラインと密ラインのパターンがゲート線幅全体のバラツキの中で乖離している様子を示す。2本の縦線21及び22はそれぞれの平均値である。光近接効果補正（OPC）によって孤立ラインと密ラインのパターンの平均値を近づけることができる。ただし、その値は補正グリッドの2倍のオーダで規制される。

#### 【0036】

一方、図12Bは、X方向とY方向のゲート線幅が乖離している様子を示す。2本の縦線23及び24はそれぞれの平均値である。

図12A、図12Bともゲート線幅バラツキ全体に対する影響としては同じであることが判る。このXY差の議論はマスクCD（critical dimension）やリソグラフィのCD、露光装置のXY差といった色々な項目についても同じである。

#### 【0037】

即ち、補正精度とはマスクおよびウェーハプロセス全体の実力によって左右されるものであり、それらと分離して議論してはならない。

結論として、マスク及びウェーハプロセスの実力以上の補正精度を、補正グリッド微細化に求めることは問題であるといえる。

#### 【0038】

上述した本実施の形態によれば、フォトマスク作成に際しての光近接効果補正（OPC）、プロセス近接効果補正（PPC）における適切な補正グリッドの設定を可能にし、求められるゲート線幅制御を達成することができる。

ウェーハ上のゲート線幅制御性が向上し得るフォトマスクが得られるので、高精度のチップ（半導体デバイス）を製造でき、且つその製造歩留りを向上することができる。

設計マージンとプロセスマージンの両方を考慮したチップの設計を行うことが可能となり、顧客の満足するチップの十分な供給が可能になる。

光近接効果補正（O P C）、プロセス近接効果補正（P P C）精度を明確にできると共に、フォトマスク寸法制御性に関する仕様も明確にでき、フォトマスク試作に要する無駄な工数を削減することができる。

【 0 0 3 9 】

【発明の効果】

本発明に係るフォトマスク作成法によれば、光近接効果補正、プロセス近接効果補正における適切なマスク補正単位の設定を可能にし、求められる線幅制御を達成できるフォトマスクの作成を可能にする。

光近接効果補正、プロセス近接効果補正精度を明確にできると共に、マスク寸法制御性に関する仕様も明確にでき、フォトマスク試作に要する無駄な工数を削減できる。

【 0 0 4 0 】

本発明に係るフォトマスクによれば、ウェーハ上で求められる線幅制御を達成できるフォトマスクであるので、設計マージンとプロセスマージンの両方を考慮した半導体チップの設計を可能とし、顧客の満足する半導体チップの製造を可能にし、且つその半導体チップの十分な供給を可能にする。

【 0 0 4 1 】

本発明に係る露光方法によれば、上述の作成法で得られたフォトマスクを用いるので、高精度のパターン露光ができ、結果的にフォトリソグラフィ工程、エッチング工程後のウェーハ上で高精度のパターン形成ができる。従って、顧客の満足する半導体チップの製造を可能にし、且つその半導体チップの十分な供給を可能にする。

【図面の簡単な説明】

【図 1】

本発明に係るフォトマスク作成及びそのフォトマスクを用いてウェーハ上に所要のパターンを形成する一連のフローチャートである。

【図 2】

本発明の説明に供する補正テーブルの一例の要部の構成図である。

【図 3】

本発明の説明に供する補正テーブルの他の例の要部の構成図である。

【図 4】

本発明の説明に供する補正テーブルの更に他の例の要部の構成図である。

【図 5】

本発明の説明に供する実ゲートパターンの構成図である。

【図 6】

本発明の具体例の説明に供するスペース毎補正值（補正テーブル）と、その転写／加工後線幅とターゲット線幅との差（ $\Delta CD$ ）を示すグラフである。

【図 7】

本発明の具体例の説明に供する 5 nm 補正グリッドで補正值修正が必要な例を示すグラフである。

【図 8】

本発明の具体例の説明に供する 5 nm 補正グリッドで補正值が正しい例を示すグラフである。

【図 9】

本発明の具体例の説明に供する 2.5 nm 補正グリッドで補正值が正しい例を示すグラフである。

【図 10】

本発明の具体例の説明に供する補正精度確認結果にて X Y 差が小さい例を示すグラフである。

【図 11】

本発明の具体例の説明に供する補正精度確認結果にて X Y 差が大きい例を示すグラフである。

【図 12】



A 本発明の説明に供するゲート線幅のチップ内頻度に孤立ラインと密ラインの線幅に差が生じている例を示すグラフである。

B 本発明の説明に供するゲート線幅のチップ内頻度に X Y 線幅差が生じている例を示すグラフである。

【図 1 3】

A 補正前のフォトマスク及びレジストパターンイメージを示す説明図である。

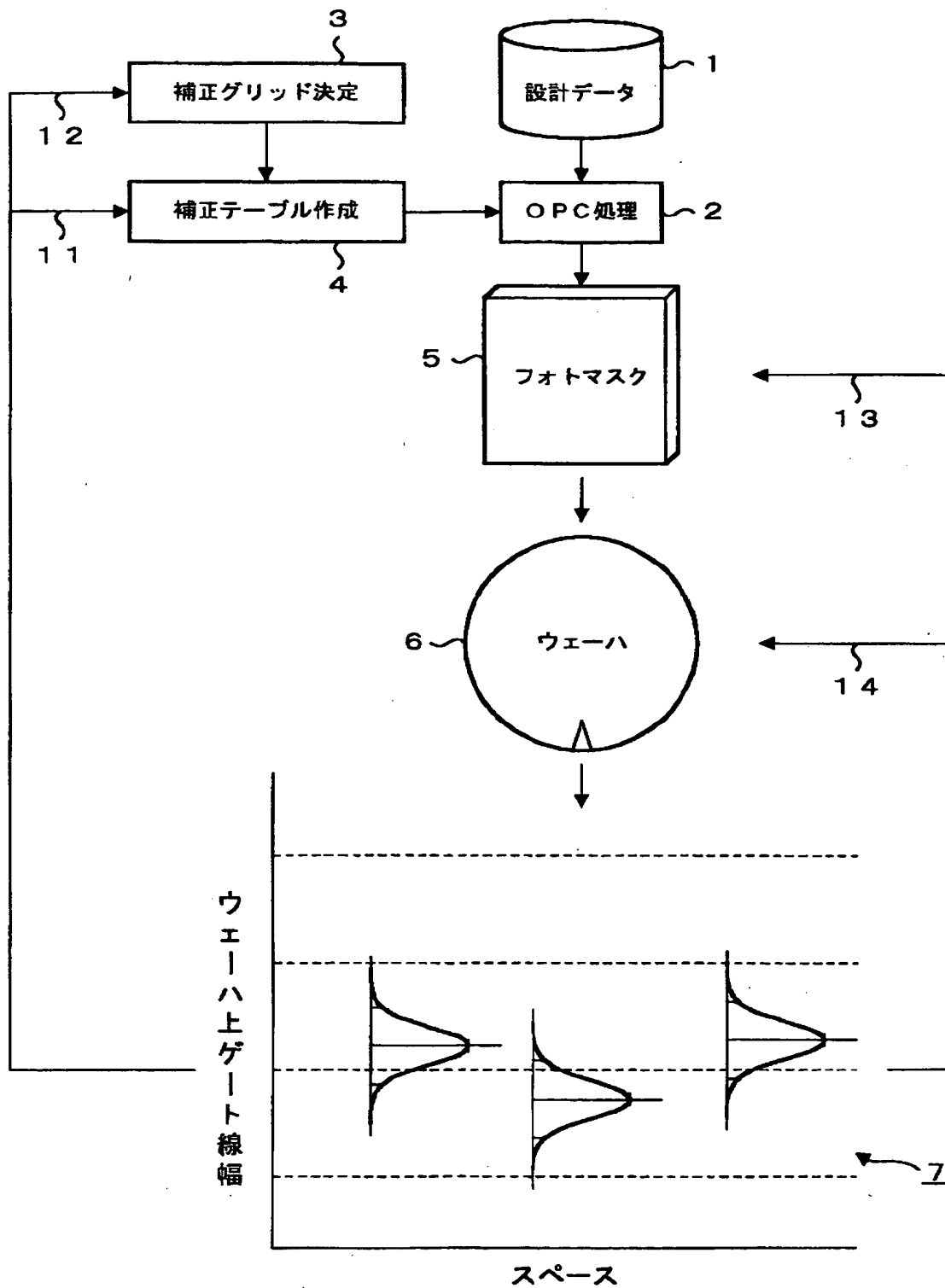
B 補正後のフォトマスク及びレジストパターンイメージを示す説明図である。

【符号の説明】

1 . . . 設計データ、2 . . . 光近接効果補正 (O P C) 処理、3 . . . 補正グリッドの決定、4 補正テーブルの作成、5 . . . フォトマスク、6 . . . ウェーハ、7 . . . ウェーハ上のスペース毎のゲート線幅の測定結果。

【書類名】 図面

【図 1】



本実施の形態のフローチャート

【図 2】

スペース 4 1 補正テーブル

ゲート線幅	(μm) (μm)	0.3 μ	0.4 μ	0.5 μ	0.6 μ	
	0.2 μ	5	10	10	15	

補正テーブルの構成図

【図 3】

スペース 4 2

ゲート線幅	(μm) (μm)	0.3 μ	0.4 μ	0.5 μ	0.6 μ	
	0.2 μ	5	10	15	15	

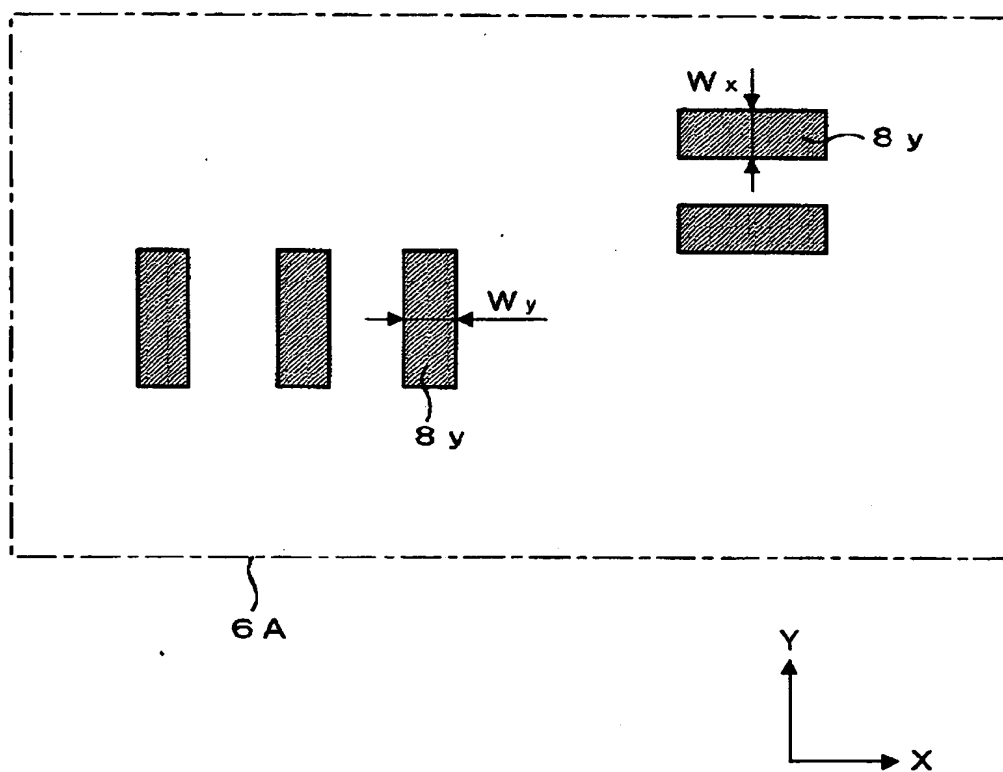
補正テーブルの構成図

【図 4】

		スペース					
		4 3					
ゲート線幅	( $\mu\text{m}$ )	0.25 $\mu$	0.3 $\mu$	0.35 $\mu$	0.4 $\mu$	0.5 $\mu$	0.55 $\mu$
	( $\mu\text{m}$ )						
	0.2 $\mu$	2.5	5	7.5	10	12.5	15

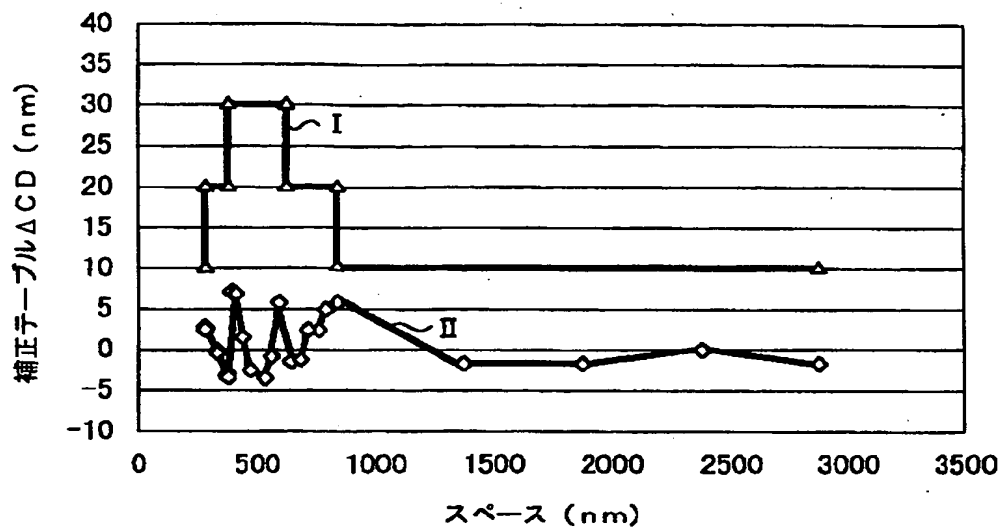
補正テーブルの構成図

【図 5】



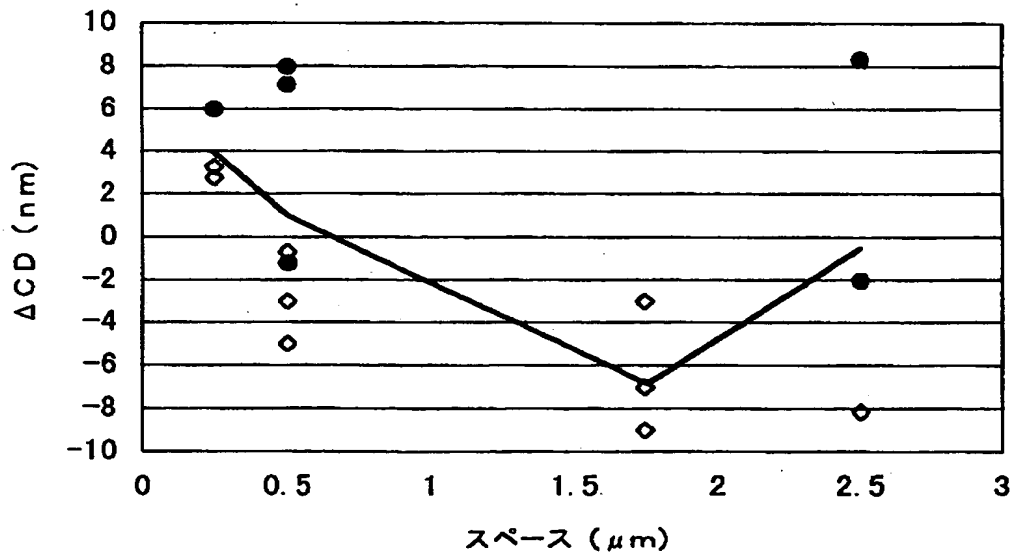
本発明の説明に供する  
X方向とY方向のゲート線幅を示す構成図

【図6】



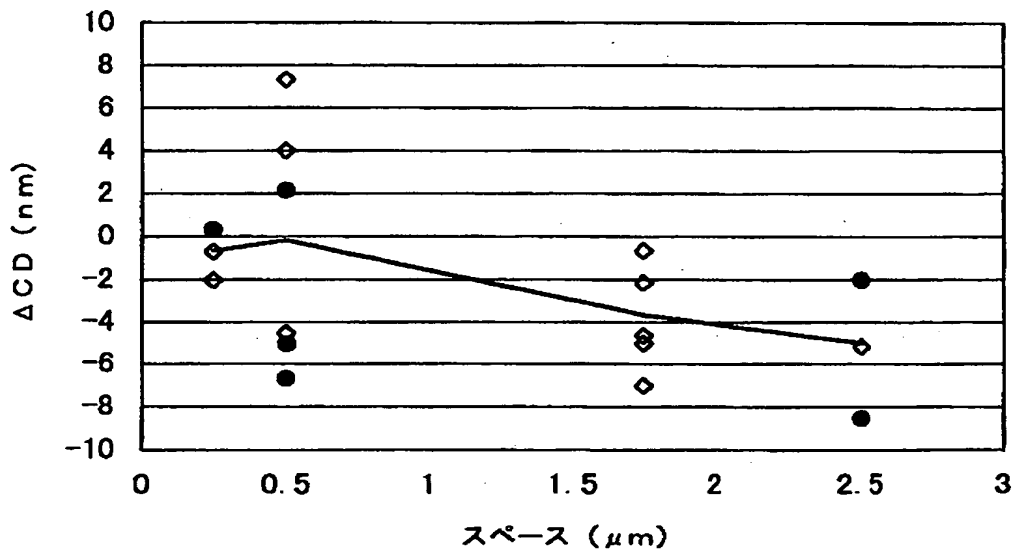
スペース毎補正值（補正テーブル）と  
その転写/加工後線幅とターゲットとの差（ΔCD）のグラフ

【図7】



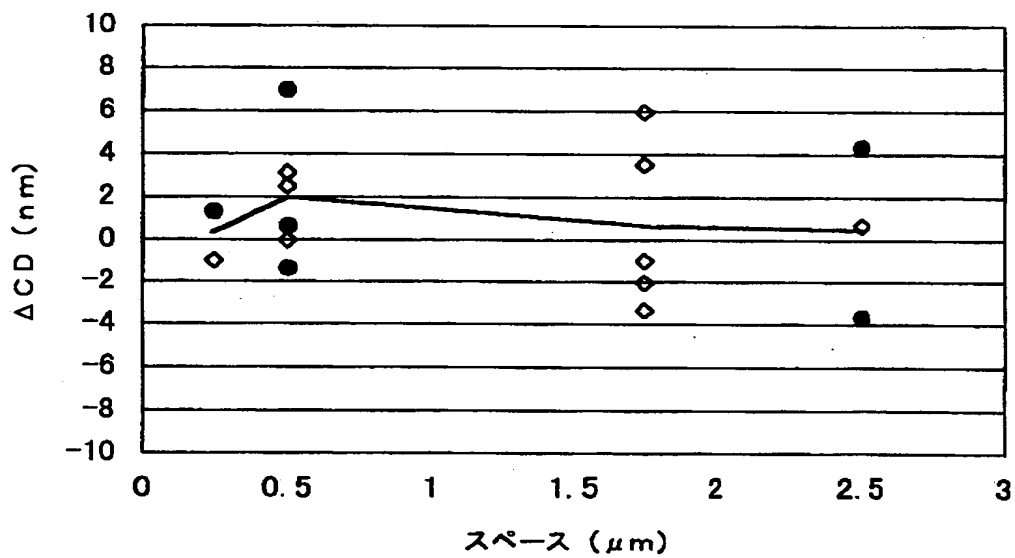
5 nm補正グリッドで補正值修正が必要な例のグラフ

【図8】



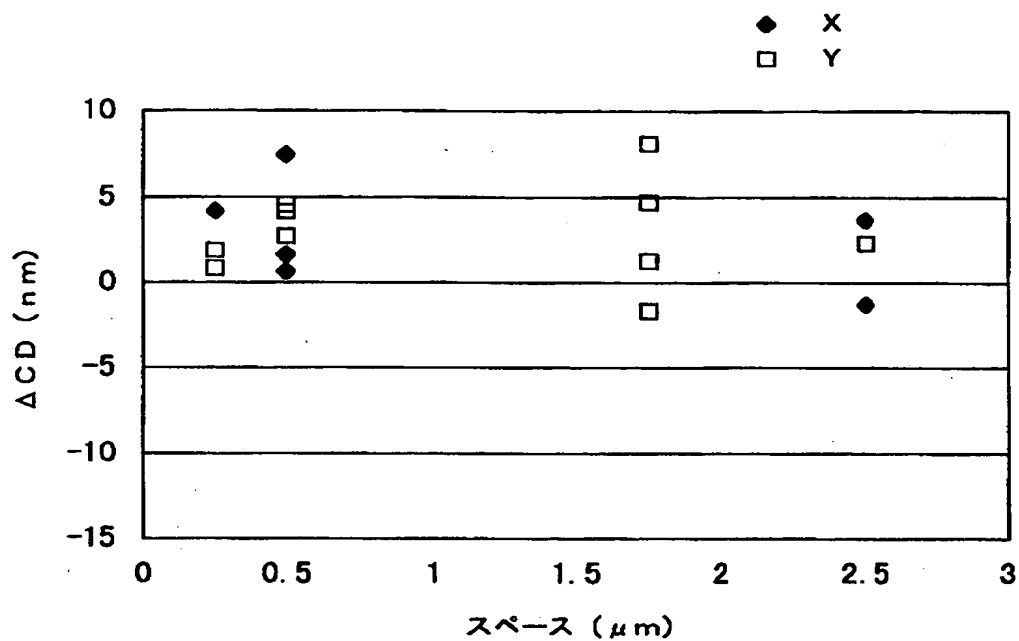
5 nm補正グリッドで補正值が正しい例のグラフ

【図9】



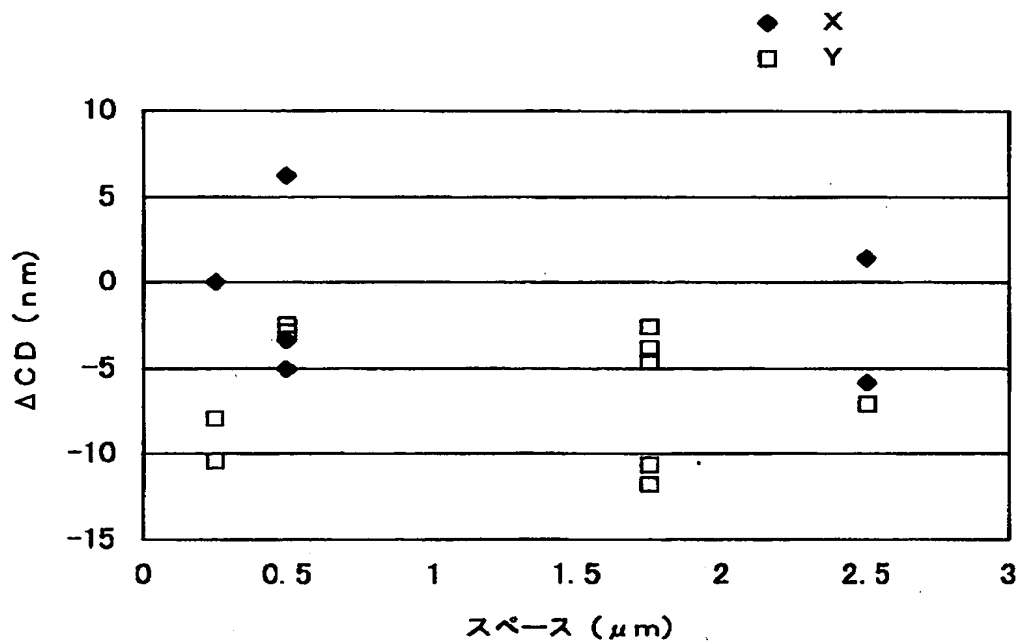
2.5 nm補正グリッドで補正值が正しい例のグラフ

【図10】



補正精度確認結果にてX Y差が小さい例のグラフ

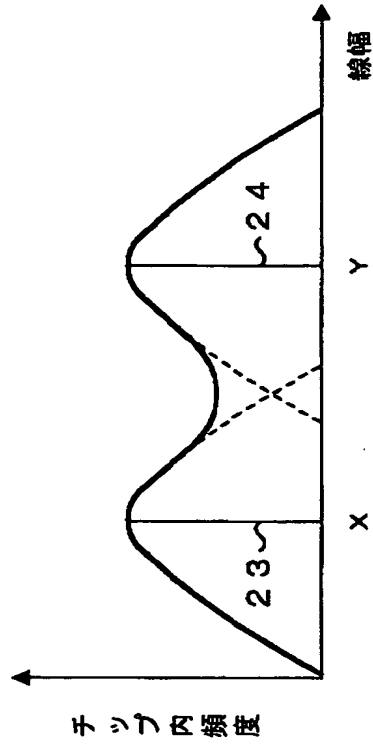
【図11】



補正精度確認結果にてX Y差が大きい例のグラフ

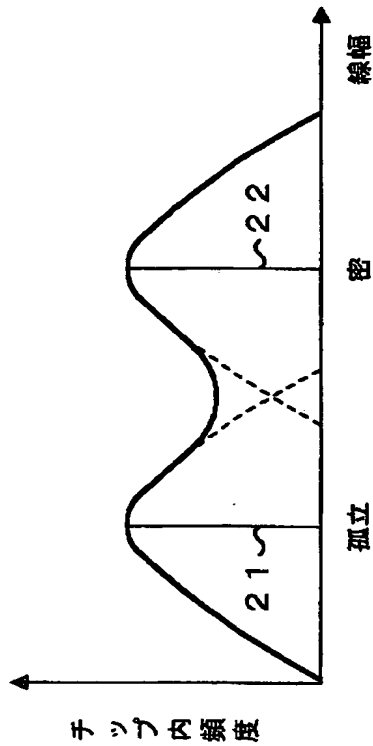
【図 12】

B



ゲート線幅のXY差を示すグラフ

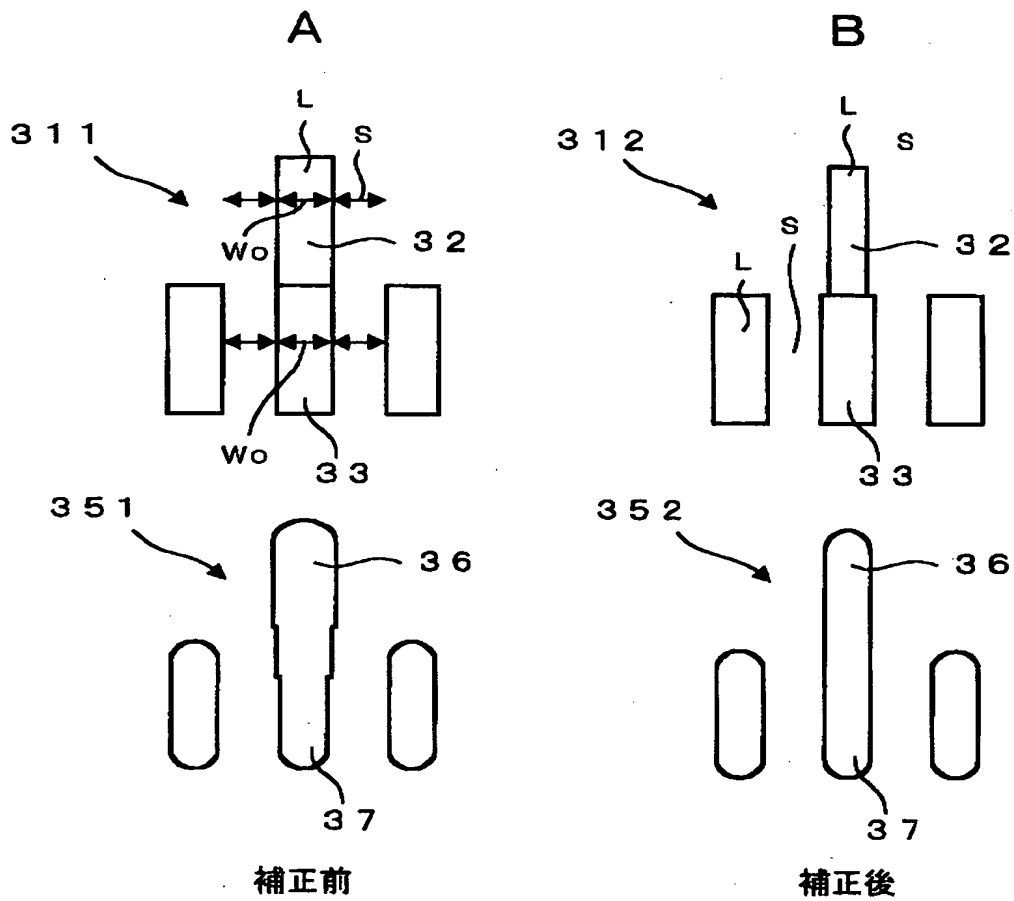
A



孤立ラインと密ラインの  
ゲート線幅差を示すグラフ



【図13】



フォトリソとレジストパターンイメージの説明図

【書類名】 要約書

【要約】

【課題】 ウェーハ上の例えばゲート線幅制御性を向上できるフォトマスクの作成を可能にする。

【解決手段】 フォトリソグラフィ工程及びエッチング工程を経て得られたパターンのスペース依存性7に基いてマスク補正単位3を決定し、このマスク補正単位3を用いてフォトマスク作成用の設計データ1に対する補正を行い、描画装置を用いてフォトマスクを作成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社